

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-190013

(43) 公開日 平成10年(1998)7月21日

(51) Int. Cl. °

識別記号

F. I

H 0 1 L 29/872

H 0 1 L 29/48

F

H 0 1 P 3/02

H 0 1 P 3/02

H 0 3 D 7/02

H 0 3 D 7/02

Z

審査請求 未請求 請求項の数 4

F D

(全 9 頁)

(21) 出願番号 特願平8-357673

(22) 出願日 平成8年(1996)12月26日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 石川 容平

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 坂本 孝一

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

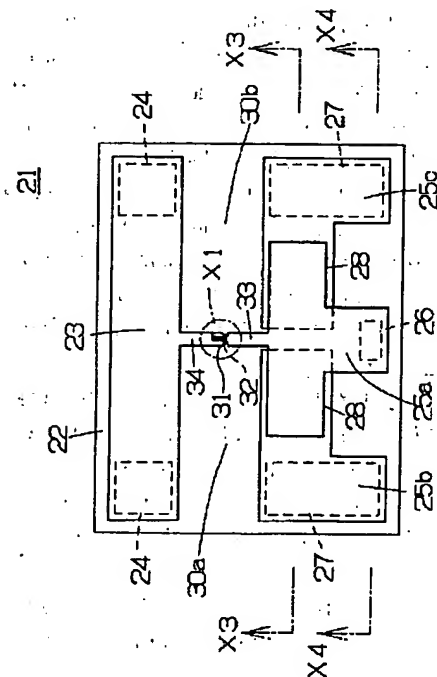
(74) 代理人 弁理士 中野 雅房

(54) 【発明の名称】 ダイオード装置

(57) 【要約】

【課題】 キャパシタンスやインダクタンス等の寄生成分をなくすことにより、高周波用ダイオードの特性劣化やばらつき等を低減させる。

【解決手段】 カソード側電極板23と、アノード側電極板25a及びスロット用電極板25b、25cとの間にスロット線路30a、30bを形成する。アノード側電極板25aとスロット用電極板25b、25cは、薄膜キャパシタンス28を介して接続する。スロット線路30a、30b内には活性領域32が形成され、カソード側電極板23から延出したカソード電極34を活性領域にオーミック接合させ、アノード側電極板25aから延出したアノード電極33を活性領域32にショットキー接合してダイオード素子31を形成する。しかして、スロット線路30aから入力したRF信号とスロット線路30bから入力したLO信号をミキシングして、アノード側電極板25aから取り出す。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された電極板間に信号入出力用スロット線路が設けられ、当該スロット線路において半導体基板に活性領域が形成され、前記スロット線路を挟む各電極板から延出されたアノード電極及びカソード電極をそれぞれ前記活性領域に接合させてダイオード素子が形成されていることを特徴とするダイオード装置。

【請求項2】 前記スロット線路及び前記ダイオード素子がそれぞれ複数設けられていることを特徴とする、請求項1に記載のダイオード装置。

【請求項3】 前記電極板のうち少なくとも1つの電極板は、キャパシタンスを介して結合された複数の部分に分割されていることを特徴とする、請求項1又は2に記載のダイオード装置。

【請求項4】 活性領域の両側に設けられた前記スロット線路からそれぞれ信号を入力し、両信号のミキシング信号をいずれかの電極板から取り出すようにしたことを特徴とする、請求項1、2又は3に記載のダイオード装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はダイオード装置に関する。特に、準ミリ波及びミリ波領域で使用されるダイオード素子に、スロットタイプの入出力構造を備えたダイオード装置に関する。

## 【0002】

【従来の技術】 変調、通倍、整流用などのミリ波及び準ミリ波の回路モジュールには、高周波用ダイオードが用いられている。図1は現在よく使用されている高周波用ダイオード1を示す斜視図である。これはショットキーバリアダイオード(SBD)であって、上面中央部にアノード電極2が形成され、下面にはカソード電極3が設けられている。しかして、この高周波用ダイオード1は、下面のカソード電極3を回路基板のボンディングパッド4上にダイボンドされ、上面のアノード電極2をボンディングワイヤ5によって回路基板のボンディングパッド6に接続される。そして、高周波信号(以下、RF信号という)はボンディングワイヤ5を通してアノード電極2に入力し、カソード電極6からボンディングパッド4を通して出力される。

【0003】 しかし、このような高周波帯(特に、ミリ波帯)で使用される高周波用ダイオード1にあつては、よく知られているように、信号がボンディングワイヤ5を伝搬するとき、ボンディングワイヤ5の寄生インダクタンスによって高周波特性が劣化させられる。さらに、ボンディングワイヤ5は、長さやボンディング位置がばらつくため、高周波特性のばらつきを増大させている。

【0004】 また、図2に示す高周波用ダイオード(ショットキーバリアダイオード)11は、アノード電極1

2に導通したパンプ電極13とカソード電極14に導通したパンプ電極15を上面に設けたものであり、回路基板上にフェースダウンでフリップチップ実装されるようになっている。

【0005】 このような高周波用ダイオード11では、高周波特性のばらつきは減少するが、高周波特性の劣化は解決されない。すなわち、このような構造の高周波用ダイオード11では、アノード電極12のすぐ近くにカソード電極14が位置しているため、アノード及びカソード電極12、14間に寄生キャパシタンスが存在し、高周波特性を劣化させている。さらに、アノード電極12及びカソード電極14からパンプ電極13、15まで引き延ばした配線部分16、17と回路基板との間に寄生キャパシタンスが生じるので、寄生インダクタンスが減少しても寄生キャパシタンスが増加し、高周波特性劣化の本質的解決には至らなかった。

【0006】 このように従来の高周波用ダイオードでは、高周波特性の劣化を抑えることがきわめて困難で、素子製造の歩留りを低下させていた。

## 【0007】

【発明が解決しようとする課題】 本発明は叙上の従来例の欠点に鑑みてなされたものであり、その目的とするところは、キャパシタンスやインダクタンス等の寄生成分をなくすことにより、高周波用ダイオードの特性劣化やばらつき等を低減させることにある。

## 【0008】

【発明の開示】 請求項1に記載のダイオード装置は、半導体基板上に形成された電極板間に信号入出力用スロット線路が設けられ、当該スロット線路において半導体基板に活性領域が形成され、前記スロット線路を挟む各電極板から延出されたアノード電極及びカソード電極をそれぞれ前記活性領域に接合させてダイオード素子が形成されていることを特徴としている。

【0009】 ここで、前記スロット線路及び前記ダイオード素子は、請求項2に記載の実施態様のように、それぞれ複数設けられていてもよい。

【0010】 本発明のダイオード装置にあつては、半導体基板上に形成された活性層、アノード電極及びドレイン電極によってダイオード素子が構成されており、高周波信号は半導体基板上のスロット線路を通じて電磁波の形態で伝搬して入出力される。

【0011】 従つて、このダイオード装置にあつては、ダイオード素子の信号入出力部における寄生インダクタンスや寄生キャパシタンス等を小さくすることができ、ダイオード装置における高周波特性の劣化を防止することができる。また、ダイオード装置と外部のマイクロストリップ線路との接続も容易にすることができる。よつて、従来の高周波用ダイオードが抱えていた課題である寄生インダクタンスや寄生キャパシタンスが本質的に発生しにくく、高周波用のダイオード装置が本来持つ高周

波特性を最大限に発揮できる。

【0012】さらに、このダイオード装置では、スロット線路以外の大部分を電極板で覆うことができるので、ミリ波デバイスで問題となる不要な表面波も抑圧することができる。

【0013】請求項3に記載の実施態様は、請求項1又は2に記載のダイオード装置において、前記電極板のうち少なくとも1つの電極板が、キャパシタンスを介して結合された複数の部分に分割されていることを特徴としている。

【0014】この実施態様にあつては、電極板を複数の部分に分割してキャパシタンスで結合することにより、スロット線路を構成する電極板を高周波的にはグランド状態に保ったままで、ダイオード素子に直流バイアス電圧を印加することができる。

【0015】請求項4に記載の実施態様は、請求項1、2又は3に記載のダイオード装置において、活性領域の両側に設けられた前記スロット線路からそれぞれ信号を入力し、両信号のミキシング信号をいずれかの電極板から取り出すようにしたことを特徴としている。

【0016】このような実施態様によれば、本発明のダイオード素子を整流用などだけでなく、ミキシング用にも用いることができる。しかも、入力信号とミキシング信号とを別々の電極から入出力できるので、ダイオード装置を実装する回路基板側で分離回路を省略できる、回路モジュール全体を小型化できる利点がある。

【0017】

【発明の実施の形態】

(第1の実施形態) 図3は本発明の一実施形態によるダイオード装置21を示す平面図であつて、シングル型のミリ波用ミキサダイオードとして用いられるものである。また、図4は図3のX1部拡大斜視図、図5は図4のX2-X2線断面図、図6は図3のX3-X3線断面図、図7は図3のX4-X4線断面図である。

【0018】半絶縁性GaAs基板22の表面の一部領域には活性領域(n型GaAs領域)32が形成されており、活性領域32を挟んで一方領域にはカソード側電極板23が設けられ、他方領域にはアノード側電極板25aとスロット用電極板25b、25cが設けられている。カソード側電極板23は、GaAs基板22のほぼ左右全幅にわたって延びており、カソード側電極板23の左右両端部の下面では、GaAs基板22にバイアホール24が設けられており、カソード側電極板23の左右両端部はそれぞれバイアホール24を介してGaAs基板22の下面に導通している。

【0019】また、アノード側電極板25aの後端部下面では、図7に示すように、GaAs基板22にバイアホール26が設けられており、DC電源用のアノード側電極板25aはバイアホール26を介してGaAs基板22の下面に導通している。アノード側電極板25aの

両側には、RF信号用のスロット用電極板25b、25cが配設されており、スロット用電極板25b、25cも、GaAs基板22に設けられているバイアホール27を介してGaAs基板22の下面に導通している。さらに、図6に示すように、アノード側電極板25aの両側部とスロット用電極板25b、25cとは絶縁体層(誘電体層)29を介して重なり合っており、アノード側電極板25aとスロット用電極板25b、25cとによって薄膜キャパシタ28が構成されている。ここで、薄膜キャパシタ28の容量は、RF信号に対して通過特性となるような値が選択されている(例えば、RF信号が約60Hzでは、0.3pF以上)。従つて、アノード側電極板25aとスロット用電極板25b、25cとは、直流的には絶縁状態となっているが、高周波的には薄膜キャパシタ28を介してほぼ短絡状態となっている。

【0020】また、実装状態においては、後述のように、バイアホール24、27はグランドに接続され、カソード側電極板23及びスロット用電極板25b、25cは高周波的には接地状態となる。一方、アノード側電極板25aには、バイアホール26を介して直流バイアス電圧が印加される。

【0021】図4及び図5に示すように、GaAs基板22表面の活性領域32はメサ型に形成されており、アノード側電極板25aから活性領域32の上面に向けてアノード電極33が延出されており、アノード電極33の先端は活性領域32にショットキー接合している。また、カソード側電極板23から延出されたカソード電極34は2股状に形成されており、アノード電極33を挟むようにして活性領域32の両側面及び上面にオーミック接合している。しかし、この活性領域32にショットキー接合するアノード電極33とオーミック接触するカソード電極34とによって、ダイオード素子(ショットキーバリアダイオード)31が構成されている。

【0022】上記カソード側電極板23とスロット用電極板25b、25cとの間には、ほぼ一定幅のスロット線路30a、30bが構成されており、ダイオード素子31の左右両側からはスロット線路30a、30bを通して電磁波の形態の高周波信号が入力される。例えば、ミキシング用に用いる場合には、一方のスロット線路30aにはRF信号が入力され、他方のスロット線路30bには局部発振信号(以下、LO信号という)が入力される。

【0023】ダイオード素子31は、バイアホール26を通してアノード側電極板25aに印加される直流バイアス電圧によって動作状態を制御される。すなわち、スロット用電極板25bとカソード側電極板23の間のスロット線路30aからRF信号が入力され、スロット用電極板25cとカソード側電極板23との間のスロット線路30bからLO信号が入力されているとき、直流バ

イアス電圧を調整してダイオード素子31がオン状態となるようにしてあれば、スロット線路30a, 30bを伝搬してきたRF信号及びLO信号によりダイオード素子31に電流が流れ、RF信号とLO信号とのミキシングが行なわれる。例えば、RF信号の周波数が60GHz、LO信号の周波数が61GHzの時、ミキシングされた中間周波信号（以下、IF信号という）は1GHzとなる。ここで、薄膜キャパシタ28の容量を0.5pF程度にしておくと、薄膜キャパシタ28は、RF信号及びLO信号に対しては低インピーダンス（通過特性）となるが、IF信号に対しては薄膜キャパシタ28は高インピーダンス（阻止特性）となる。従って、RF信号及びLO信号は、スロット線路30a, 30b内をスロット用電極板25b, 25cからアノード側電極板25aへと伝搬してダイオード素子31に達するが、ダイオード素子31で発生したIF信号はスロット線路30a, 30b（スロット用電極板25b, 25c）へは伝搬せず、アノード側電極板25aから出力される。

【0024】これに対し、ダイオード素子31が常にオフ（非導通）状態となるように直流バイアス電圧が印加されていると、RF信号は右方のスロット線路30bへ通過すると共にLO信号は左方のスロット線路30aへ通過し、ミキシング信号は出力されない。

【0025】図8は上記ダイオード装置21をミキサーとして使用する場合の回路基板41への実装形態を示す。回路基板41は、ミリ波用誘電体基板42の表面に、図9のようなパターンで、銅箔のような電極43、44と信号線45を設けたものであって、グランド電位の電極43及び44間にはスロット線路46a, 46bが形成され、電極44と44間に位置するストライプ状の信号線45によってコブレナ線路47が形成されている。ダイオード装置21は、図9に2点鎖線で示した位置に実装され、バイアホール24によってカソード側電極板23が電極43に接続され、バイアホール27によってスロット用電極板25b, 25cが電極44に接続され、バイアホール26によってアノード側電極板25aがコブレナ線路47の信号線45に接続される。

【0026】ここで、回路基板41のスロット線路46a, 46bとダイオード装置21のスロット線路30a, 30bとは、インピーダンス整合がとられている。また、ダイオード素子31のアノード及びカソード電極33, 34間には、信号線45を介して直流バイアス電圧が印加される。

【0027】図8における矢印は、回路基板41及びダイオード装置21のスロット線路46a, 46b, 30a, 30b内における電磁波の伝搬状態を示している。回路基板41のスロット線路46aを伝搬してきたRF信号はバイアホール24, 27を介してダイオード装置21のスロット線路30aに入り、回路基板41のスロット線路46bを伝搬してきたLO信号はバイアホール

24, 27を介してダイオード装置21のスロット線路30bに入り、互いに反対側のスロット線路30a, 30bからダイオード素子31に入力したRF信号とLO信号は、ダイオード素子31によりミキシングされる。ダイオード素子31がオン状態になっていれば、ダイオード素子31でミキシングされたIF信号は、アノード側電極板25aから出力され、バイアホール26を介してコブレナ線路47へと伝搬し、ここから外部へ取り出される。

10 【0028】なお、ダイオード装置21のスロット線路30a, 30bの幅は、回路基板41との入出力インピーダンスの整合を考慮して決定される。回路基板41の特性インピーダンスには、50~100Ωがよく用いられるので、各スロット線路30a, 30bの幅を0.10~0.05mmとすれば、ミリ波帯（40~60GHz）で入出力インピーダンスの整合をとることができる。また、ダイオード装置21のGaAs基板22の厚さは、スロット線路30a, 30bの接続ロスが少なく、かつ、バイアホール24, 26, 27の形成を容易にするため、0.05~0.13mmが好ましい。

20 【0029】（第2の実施形態）図10は本発明の別な実施形態によるダイオード装置51を示す平面図である。これは、GaAs基板22上にシングル型のミリ波用ミキサーダイオードを2個並列に並べたバランス型のミリ波用ミキサーダイオードである。このダイオード装置51にあつては、GaAs基板22上に配置された3つの電極板52, 53, 54の間に2組のスロット線路59a, 59b; 60a, 60bが並列に形成されている。52はアノード側電極板、54はカソード側電極板、53はアノード側及びカソード側電極板を兼ねた兼用電極板であつて、アノード側電極板52と兼用電極板53の間に一方のスロット線路59a, 59bが形成され、兼用電極板53とカソード側電極板54の間に他方のスロット線路60a, 60bが形成されている。アノード側電極板52と兼用電極板53との間のスロット線路59a, 59bにはメサ型の活性領域32が形成され、アノード側電極板52から活性領域32に延出されたアノード電極33は活性領域32にショットキー接合し、兼用電極板53から活性領域32に延出されたカソード電極34は活性領域32にオーミック接合し、図4と同様なショットキー接合のダイオード素子31が形成されている。同様に、兼用電極板53とカソード側電極板54との間のスロット線路60a, 60bにもメサ型の活性領域32が形成され、兼用電極板53から活性領域32に延出されたアノード電極33は活性領域32にショットキー接合し、カソード側電極板54から活性領域32に延出されたカソード電極34は活性領域32にオーミック接合し、図4と同様なショットキー接合のダイオード素子31が形成されている。

50 【0030】アノード側電極板52の両端部では、Ga

As 基板22にバイアホール55が形成され、アノード側電極板52はバイアホール55を介してGaAs 基板22の下面に導通している。兼用電極板53の両端部及びほぼ中央部では、それぞれGaAs 基板22にバイアホール56, 57が形成され、兼用電極板53はバイアホール56, 57を介してGaAs 基板22の下面に導通している。さらに、カソード側電極板54の両端部でも、GaAs 基板22にバイアホール58が形成され、カソード側電極板54はバイアホール58を介してGaAs 基板22の下面に導通している。

【0031】図11はシングルバランス型のミキサーとして使用する場合の、上記ダイオード装置51の回路基板61への実装形態を示す平面図である。このダイオード装置51を実装するための回路基板61は、誘電体基板42の表面に、図12のようなパターンで電極62～66及び信号線67を設けたものであって、グランド電位の電極62, 63及び65の間にはY字状に分岐したスロット線路69a, 70aが形成され、グランド電位の電極62及び64の間、グランド電位の電極64及び66の間にもそれぞれスロット線路69b, 70bが形成されている。また、電極65, 66の間に位置するストライプ状の信号線67によってコブレナ線路71が形成されており、信号線67の先端にはパッド部68が形成されている。

【0032】ダイオード装置51は、図12に2点鎖線で示した位置に実装され、バイアホール55によってアノード側電極板52が電極62に接続され、バイアホール56によって兼用電極板53が電極63, 64に接続され、バイアホール57によって兼用電極板53が信号線67のパッド部68に接続され、バイアホール58によってカソード側電極板54が電極65, 66に接続される。

【0033】しかして、Y字状に分岐したスロット線路69a, 70aで同相に分かれたRF信号は、ダイオード装置51の各スロット線路59a, 60aへ同相で伝搬して各ダイオード素子31に入力する。また、スロット線路69b, 70bからは互いに逆相となるようにしてLO信号が伝搬し、それぞれダイオード装置51のスロット線路59b, 60bを通して各ダイオード素子31に入力される。こうしてダイオード装置51は、シングルバランス構成のミキサーとして動作し、RF信号とLO信号とがミキシングされたIF信号は、中央の兼用電極板53からバイアホール57を経由して回路基板61のコブレナ線路71(信号線67)から取り出される。

【0034】ここで、2つのスロット線路59a, 59bと60a, 60bの間の距離(つまり、兼用電極板53の幅)は、両スロット線路59a, 59bと60a, 60bを伝搬するRF信号及びLO信号の相互干渉を防ぎ、また、バイアホール57を通して信号線67と接続

するため、0.2mm以上離す必要がある。また、兼用電極板53の下面にあるバイアホール57は、両スロット線路59b, 60bが逆相モードで動作することができるよう、アノード側電極板52の縁とカソード側電極板54の縁から等距離の中央部に配置している。

【0035】なお、RF信号とLO信号の位相関係は入れ替えても同様の動作が可能である。すなわち、RF信号を逆相となるようにして入力させ、LO信号を同相となるようにして入力させてもよい。

10 【0036】(第3の実施形態) また、同上の実施形態においては、図13に示すダイオード装置76のように、兼用電極板(53)を3つに分割し、分割された各電極板53a, 53b, 53cどうしを薄膜キャパシタ28, 28によって容量結合させてもよい。

【0037】(第4の実施形態) 図14は、第2の実施形態のダイオード装置51のスロット線路59b, 60bと回路基板77のスロット線路69b, 70bに逆相でLO信号を入力させるための構成を示す図である。この実施形態に用いられている回路基板77の表面の電極パターンは、スロット線路69b, 70bの端部が屈曲している以外は、図12の回路基板とほぼ同じである。回路基板77の裏面には、LO信号を発生させるための発振回路78と、マイクロストリップライン79が設けられている。発振回路78はマイクロストリップライン79の中央部に接続されており、マイクロストリップライン79の両端は誘電体基板42を介してスロット線路69b, 70bの端部と電気的結合している。

【0038】しかして、発振回路78から出力されたLO信号はマイクロストリップライン79によって2方向へ出力され、スロット線路69b, 70bへ互いに逆位相となって伝搬する。

【0039】(第5の実施形態) 図15は本発明のさらに別な実施形態によるダイオード装置81の構成を示す平面図である。このダイオード装置81は、例えば半波整流器として用いられるものであって、GaAs 基板22の表面に形成されたカソード側電極板23とアノード側電極板25間にスロット線路30a, 30bが形成されており、カソード側電極板23から延出されたカソード電極34をメサ型の活性領域32にオーミック接合させ、アノード側電極板25から延出されたアノード電極33を活性領域32にショットキー接合させることにより、スロット線路30a, 30bを横切るようにして図4のような構造のダイオード素子31を設けている。

【0040】このダイオード装置81にあつては、直流バイアス電圧が用いられておらず、アノード側電極板25からカソード側電極板23へと向けてのみ電流が流れるので、一方のスロット線路30aから入力されたRF信号は、半波整流されて他方のスロット線路30bから出力される。

【0041】(第6の実施形態) 図16は本発明のさら

に別な実施形態によるダイオード装置82の構成を示す平面図である。このダイオード装置82では、カソード側電極板23とアノード側電極板25a及びスロット用電極板25b、25cとの間にスロット線路30a、30bが形成されており、カソード側電極板23から延出されたカソード電極34を活性領域32にオーミック接合させ、アノード側電極板25aから延出されたアノード電極33を活性領域32にショットキー接合させることによりダイオード素子31を形成している。また、アノード側電極板25aとスロット用電極板25b、25cとは、薄膜キャパシタ28を介して容量結合されており、アノード側電極板25aには、直流バイアス電圧を印加できるようになっている。

【0042】このダイオード装置82では、一方のスロット線路30aからRF信号が入力され、他方のスロット線路30bからRF信号が出力されるが、そのとき直流バイアス電圧の掛け方によってRF信号の伝搬の仕方が変わる。例えば、ダイオード素子31に逆バイアスとなるように直流バイアス電圧を加えてダイオード素子31をオフ状態に保ってRF信号を通過させたり、ダイオード素子31に順バイアスとなるように直流バイアス電圧を加えてダイオード素子31をオン状態に保ってRF信号を遮断したりすることによって、スイッチとして用いることができる。

【0043】なお、上記各実施形態においては、ダイオード装置を誘電体基板に接続するための手段としてバイアホールを用い、ダイオード装置をフェイスアップで実装した場合について説明したが、これに限るものでなく、バンプ電極を用いてフェイスダウンで実装してもよい。

【0044】また、上記各実施形態においては、n型GaAs層からなる活性領域にアノード電極をショットキー接合させると共にカソード電極をオーミック接合させたショットキー接合型のダイオード素子を用いているが、これ以外のダイオード素子を用いてもよい。例えば、シリコン基板の表面に形成されたpn接合型のダイオード素子でもよい。

【図面の簡単な説明】

【図1】従来の高周波用ダイオードを示す斜視図である。

【図2】従来の別な高周波用ダイオードを示す斜視図で

ある。

【図3】本発明の一実施形態によるダイオード装置を示す平面図である。

【図4】図3のX1部拡大斜視図である。

【図5】図4のX2-X2線断面図である。

【図6】図3のX3-X3線断面図である。

【図7】図3のX4-X4線断面図である。

【図8】同上のダイオード装置を回路基板上に実装した状態を示す平面図である。

【図9】同上の回路基板を示す平面図である。

【図10】本発明の別な実施形態によるダイオード装置を示す平面図である。

【図11】同上のダイオード装置を回路基板上に実装した状態を示す平面図である。

【図12】同上の回路基板を示す平面図である。

【図13】本発明のさらに別な実施形態によるダイオード装置を回路基板上に実装した状態を示す平面図である。

【図14】本発明のさらに別な実施形態によるダイオード装置を回路基板上に実装した状態を示す平面図である。

【図15】本発明のさらに別な実施形態によるダイオード装置を示す平面図である。

【図16】本発明のさらに別な実施形態によるダイオード装置を示す平面図である。

【符号の説明】

22 GaAs基板

23, 54 カソード側電極板

25a, 25, 52 アノード側電極板

53 兼用電極板

25b, 25c スロット用電極板

28 薄膜キャパシタ

30a, 30b, 59a, 59b, 60a, 60b ダイオード装置のスロット線路

31 ダイオード素子

33 アノード電極

34 カソード電極

41 回路基板

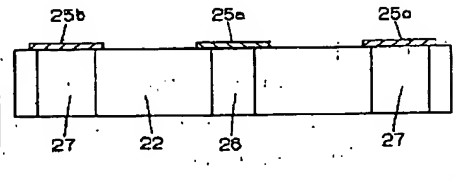
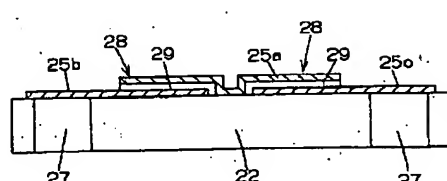
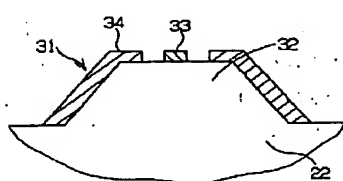
46a, 46b, 69a, 69b, 70a, 70b 回路基板のスロット線路

47 コプレナ線路

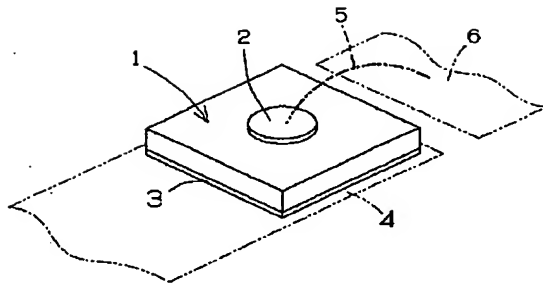
【図5】

【図6】

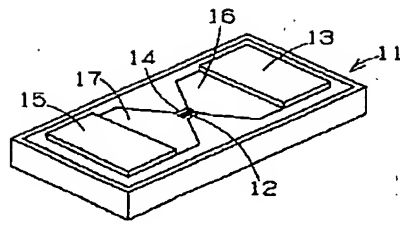
【図7】



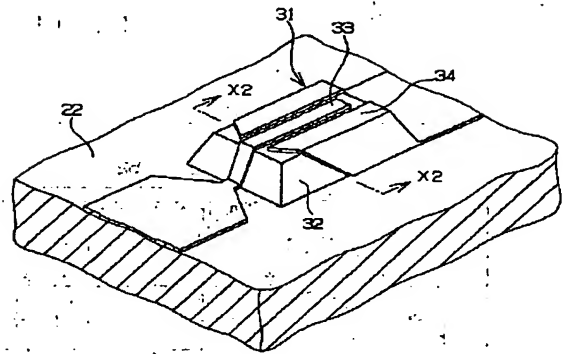
【図1】



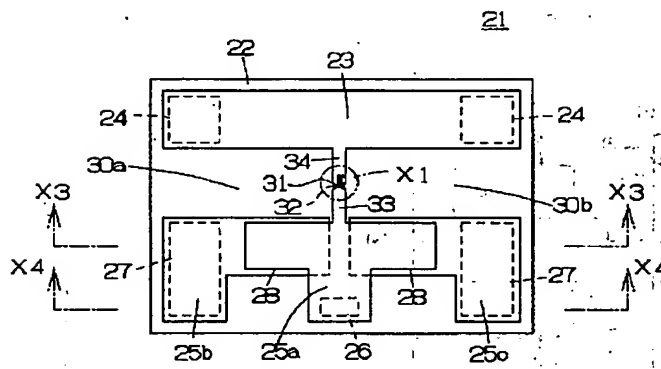
【図2】



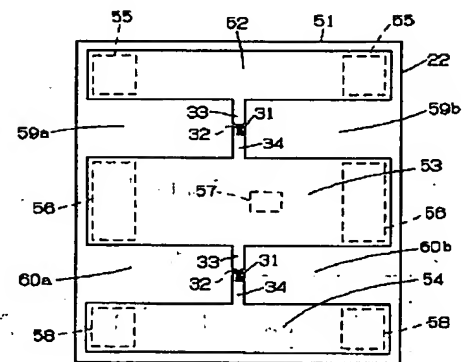
【図4】



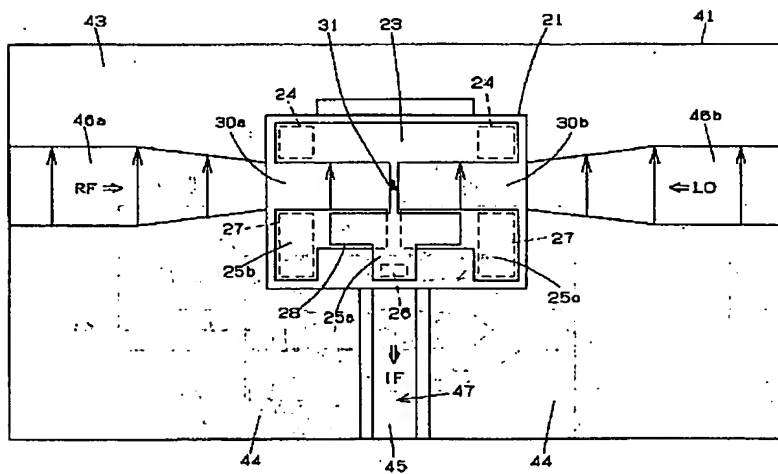
【図3】



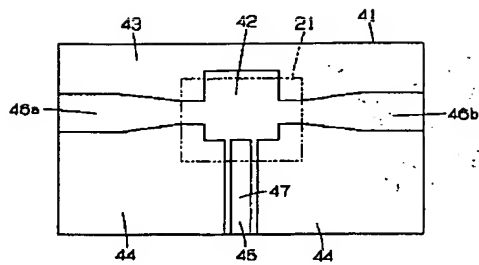
【図10】



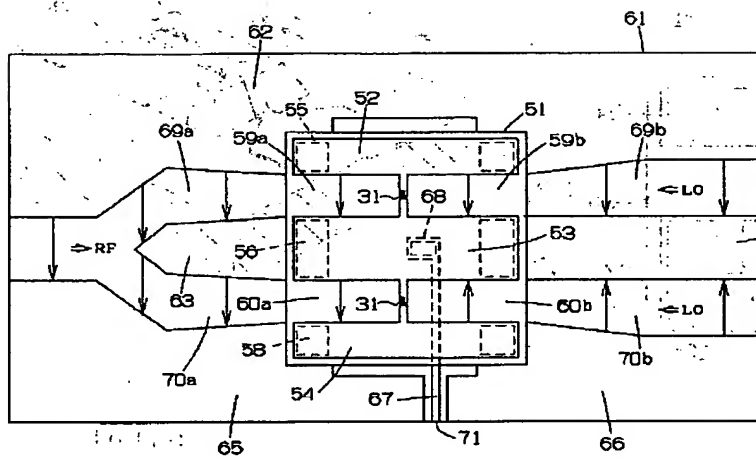
【図8】



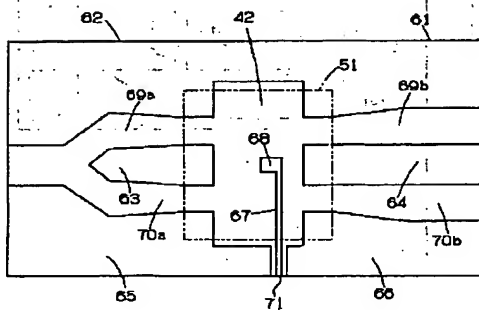
【図9】



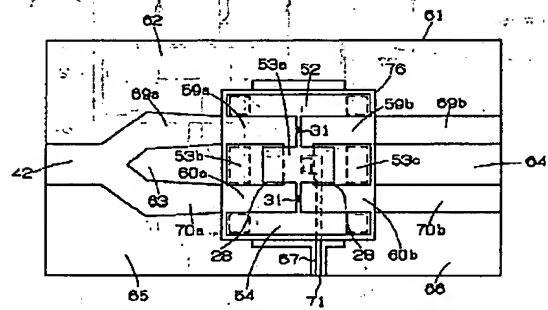
【図11】



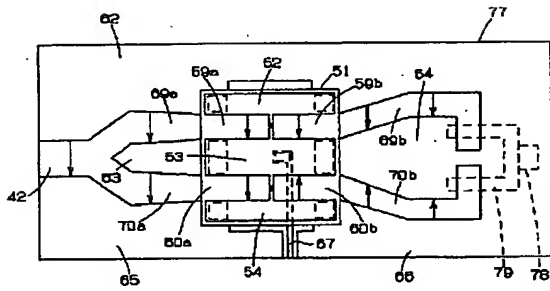
【図12】



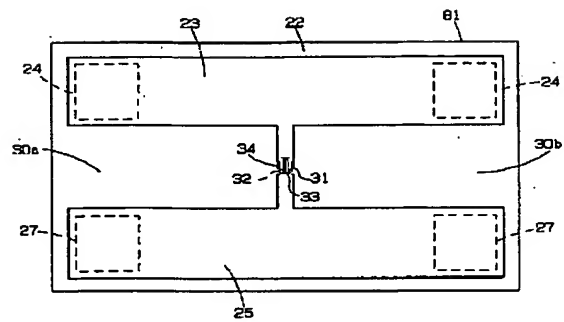
【図13】



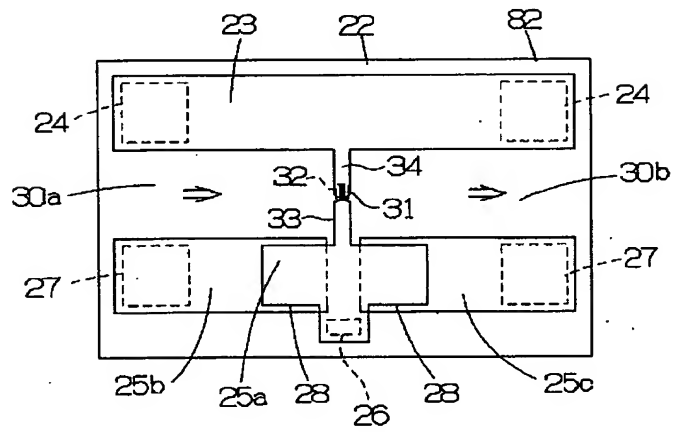
【図14】



【図15】



【図16】



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-76301

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月2日

H 01 P

5/02

A

8626-5 J

3/02

8626-5 J

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 インピーダンス変換回路

⑯ 特 願 平1-211956

⑰ 出 願 平1(1989)8月17日

⑱ 発 明 者 村 口 正 弘 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 廣 田 哲 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 伊 東 忠 彦

## 明 細 書

1. 発明の名称

インピーダンス変換回路

2. 特許請求の範囲

第1のインピーダンス $Z_0$ と第2のインピーダンス $Z_1$ との間のインピーダンス変換を伝送線路を用いて行なうインピーダンス変換回路において、上記伝送線路の線路長を使用周波数の4分の1波長より短くすると共に、該伝送線路の特性インピーダンスを $\sqrt{Z_0 \cdot Z_1}$ 以上に設定し、かつ、該伝送線路の両端を、互いに容量の等しい第1及び第2のキャパシタを別々に介して接地導体に接続したことを特徴とするインピーダンス変換回路。

3. 発明の詳細な説明 (産業上の利用分野)

本発明はインピーダンス変換回路に係り、特に高周波伝送線路を用いてインピーダンス $Z_0$ と $Z_1$ との間のインピーダンス変換を行なうインピーダンス変換回路に関する。

(従来の技術)

第4図は高周波伝送線路に利用される従来のインピーダンス変換回路を示す。同図中、伝送線路6の線路長は使用周波数で4分の1波長(電気長で90°)であり、その特性インピーダンス $Z_0$ は以下の関係を満足している。

$$Z_0 = \sqrt{Z_0 \cdot Z_1} \quad (1)$$

ここで、4は特性インピーダンス $Z_0$ の伝送線路またはインピーダンスが $Z_0$ の接続用端子、5は特性インピーダンス $Z_1$ の伝送線路またはインピーダンスが $Z_1$ の接続用端子、あるいは、入力インピーダンスが $Z_1$ の回路素子である。例えば、 $Z_0$ を50Ω、 $Z_1$ を1Ωとすると、伝送線路6の特性インピーダンス $Z_0$ は(1)式より約7Ωとなる。この例のように、50Ωと1Ω程度の最低インピーダンスとの間のインピーダンス変換回路は、高出力増幅器内部の整合回路中でしばしば必要となる。というのは、高出力増幅器の入出力インピーダンスが一般に50Ωであるのに対して、それに用いる高出力FETの入カインピ

## 特開平3-76301 (2)

ーダンスの実部は一般に10Ω程度の超低インピーダンスとなるからである。

(発明が解決しようとする課題)

ところが、特性インピーダンスが10Ω以下であるような伝送線路を用いて高周波回路を設計、製造することは容易でない。例えば、伝送線路として最も一般的なマイクロストリップ線路を使用した高周波回路の設計では、伝送線路モデル（線路の横方向の大きさやその効果を考慮しない1次元的なモデル）で回路設計ができるマイクロストリップ線路の特性インピーダンス範囲は20Ω以上に限られる。また、コプレーナ線路では、使用可能な特性インピーダンスの範囲は通常30Ω～100Ωであり、スロット線路では通常40Ω～150Ωである。

マイクロストリップ線路において、特性インピーダンスが10Ω以下であるような線路を製作することは物理的に不可能ではないが、線路幅が4分の1波長と同程度の寸法になってしまうため、もはや伝送線路モデルでは回路設計ができなくな

り、線路幅方向に2次元的な広がりを持った平面回路の設計となる。この場合、回路設計は極めて難しくなり、しかも設計性は乏しい。従って、入出力整合回路中に第4図に示すインピーダンス変換回路を使用した高出力増幅器の製造では、一般に、試行錯誤的な特性調整が必要となっている。

さらに、一枚のガリウムヒ素基板上に高出力FETと入出力整合回路を一括に作り込んだモノリシック・マイクロ波集積回路の場合、4分の1波長インピーダンス変換回路を用いたのではチップ寸法が大きくなってしまふ。例えば、10GHzにおける4分の1波長伝送線路はマイクロストリップ線路やコプレーナ線路を用いた場合で約3mmとなり、伝送線路と同時に作り込まれるFETの寸法が通常0.5mm角以下であるのと比較して相対的に大きな寸法となる。

本発明は上記の点に鑑みてなされたもので、高出力FET等の数Ω程度の超低インピーダンス回路素子と高周波回路の入出力の標準インピーダンスである50Ωなどとの間の整合を行うためのイ

ンピーダンス変換回路の設計性を向上させ、かつ、製作が容易で、小型なインピーダンス変換回路を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の回路構成図を示す。同図中、1は特性インピーダンスZの伝送線路、2及び3は夫々互いに等しい容量Cを有するキャパシタ、4は特性インピーダンスZ<sub>0</sub>の伝送線路又はインピーダンスがZ<sub>0</sub>の接続用端子、5は特性インピーダンスZ<sub>1</sub>の伝送線路又はインピーダンスがZ<sub>1</sub>の接続用端子又は入力インピーダンスがZ<sub>1</sub>の回路素子である。

伝送線路1の線路長は使用周波数の4分の1波長より短く、かつ、その特性インピーダンスZが $\sqrt{Z_0 \cdot Z_1}$ 以上に設定されている。また、伝送線路1の両端は、各キャパシタ2、5を介して接地導体に接続されている。

(作用)

伝送線路1の特性インピーダンスZ、及びキャパシタ2及び3の各容量Cは夫々次式で表われ

$$Z = \sqrt{Z_0 \cdot Z_1} / \sin \theta \quad (2)$$

$$C = \cos \theta / (2\pi f \sqrt{Z_0 \cdot Z_1}) \quad (3)$$

ここで、 $\theta$ は伝送線路1の電気長で、伝送線路1の線路長が使用周波数fの4分の1波長より短いため、 $0^\circ < \theta < 90^\circ$ となる。従って、特性インピーダンスZは(2)式より $\sqrt{Z_0 \cdot Z_1}$ 以上となる。

いま、一例としてZ<sub>0</sub>が50Ω、Z<sub>1</sub>が1Ω、使用周波数fが10GHzの場合を考える。まず、伝送線路の長さを45分の1波長としてみる。この場合、電気長 $\theta$ は8°であるから、伝送線路1の特性インピーダンスZは(2)式より51Ωとなり、(3)式より計算されるキャパシタ2、3の容量Cは2.23pFとなる。伝送線路1の長さ45分の1波長というのは、従来のインピーダンス変換回路の伝送線路6の長さ4分の1波長と比較して10分の1以下に短縮したことに相当する。しかも、伝送線路1の特性インピーダンスZは、従来例の7Ωから51Ωにすることができ、この線路イン

以上説明したように、本発明によれば、インピーダンス変換回路の伝送線路を短縮して装置を小型化するとともに、その伝送線路の特性インピーダンスを製作が容易で回路設計性の良い範囲（一般に40Ω〜70Ω）に設定できる自由度を持つ。また、キャパシタは高周波においても設計性が良いため、本発明のインピーダンス変換回路は高周波帯においても精度の高い回路設計ができ、かつ、設計どうりの特性が得られる利点がある。本発明

## 特開平3-76301 (4)

## 1.1—コプレーナ線路、2.1—スロット線路。

特許出願人 日本電信電話株式会社

代理人 弁理士 伊 東 昭 彦



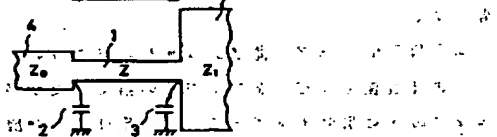
を用いることにより各種高周波回路の整合回路部を、特性劣化を招くことなく小型化できる。特に高出力増幅器では、周波数変換インピーダンスのトランスタやFETと増幅器の入出力インピーダンス（一般に50Ω）との間の整合回路が必要で、本発明のインピーダンス変換回路を用いて整合回路を構成すれば増幅器の小型化と設計性の向上を同時に実現できる。さらに、本発明は集積化に適しており、モノリシック・マイクロ波集積回路等、小型で設計性の良いことが必要の高周波回路に適用するに有効である。

## 4. 図面の簡単な説明

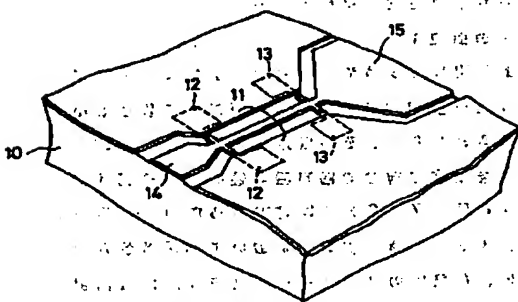
図1図は本発明の原理構成図、図2図はコプレーナ線路を用いた本発明の第1実施例の斜視図、図3図はスロット線路を用いた本発明の第2実施例の斜視図、図4図は従来のインピーダンス変換回路の一例を示す図である。

1—伝送線路、2、3、12、13、22、23—キャパシタ、4、5—線路用伝送線路、接続端子又は四角素子、10、20—誘電体基板、

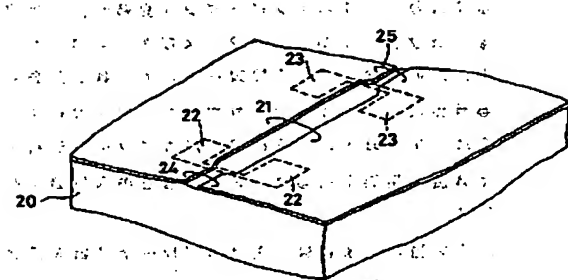
材料等、図面は、図1図は本発明の原理構成図、図2図はコプレーナ線路を用いた本発明の第1実施例の斜視図、図3図はスロット線路を用いた本発明の第2実施例の斜視図、図4図は従来のインピーダンス変換回路の一例を示す図である。



第1図



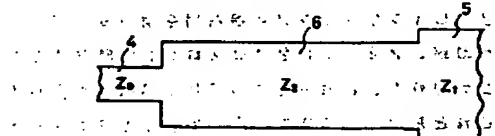
第2図



第3図

図4図は従来のインピーダンス変換回路の一例を示す図である。

図4図は従来のインピーダンス変換回路の一例を示す図である。



第4図